



市場簡介

乘積累加運算 (Multiply Accumulate / MAC) 在多種數位訊號處理的應用中，扮演著非常重要的角色。舉例來說，在影音處理、影片處理、圖像處理以及深度學習 (deep learning) 個各種應用中，都需要大乘法累加運算。乘積累加裝置用以執行乘積累加運算。現有的乘積累加裝置的乘法器與累加器是兩個分別的硬體區塊。乘積累加裝置透過將乘積結果和累加器的值相加後，再將相加結果存入累加器，以產生乘積累加結果。並且，增加乘積累加裝置的運算速度並減少整體電路的功耗一直是本發明所屬技術領域之人員所追求的目標。

技術簡介

本發明的乘積累加裝置包括乘積產生器、多個寄存器、乘積化簡器以及加法器。乘積產生器用以接收 N 個位元的被乘數與 N 個位元的乘數，並對被乘數與乘數進行乘積運算，以產生 $2N-1$ 行的乘積結果。其中 N 為正整數。乘積化簡器耦接乘積產生器以及多個寄存器。乘積化簡器用以將多個寄存器中的部分寄存器的資料附加於乘積結果的各行，以產生 $2N-1$ 行的附加結果。乘積化簡器並依據附加結果中各行的行高，來對附加結果進行化簡運算以得到化簡後結果。以及，乘積化簡器依據化簡後結果來更新多個寄存器中的資料。加法器用以依據累加信號以對多個寄存器中的資料進行累加運算，以產生乘法累加運算結果。

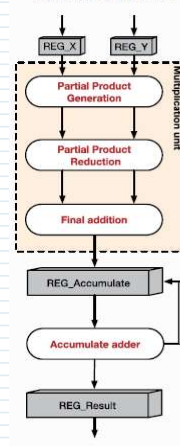
技術優勢

本發明透過將多個寄存器中的資料與乘積結果一起進行化簡，使裝置可以在進行化簡階段同時進行乘積運算與累加運算因而可以降低累加運算中加法運算的需求，並提高整體電路的效能。因此，本發明可以減少運算時間，達到快速且低功耗的效果。另外，本發明的乘積累加裝置及其方法可適用於無號數以及有號數的乘積累加運算。

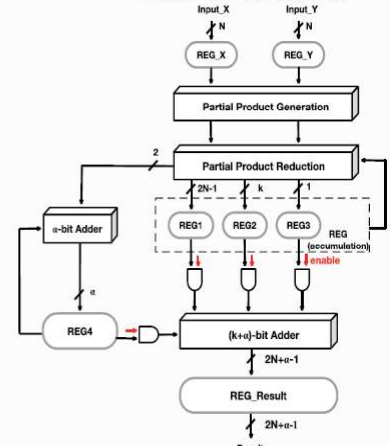
項目背景

本發明透過將多個寄存器中的資料與乘積結果一起進行化簡，使裝置可以在進行化簡階段同時進行乘積運算與累加運算，因而可以降低累加運算中對於加法運算的需求，並提高整體電路的效能。因此，本發明可以減少連算時間，達到快速且低功耗的效果。

傳統乘法累加器架構



我們提出之乘法累加器架構



在乘法運算中執行的最後加法，原本需要 $(2N-1)$ 位元的加法器。然而，在我們的架構，前 k 個高位元不需做加法運算，因此只需 $(2N-k-1)$ 位元的加法器。

在乘法累加運算中進行累加之加法器，原本是需要 $(2N+\alpha-1)$ 位元的加法器，但在我們的架構中只需要 $(k+\alpha)$ 位元的加法器。

專利狀態

美國發明專利 → 申請號 (16/861,234)
台灣發明專利 → 證書號 (I696947)

合作方式

產學合作
技術轉移
共同合作研發



中原大學產學營運處

中原大學產學合作暨專利技轉中心
☎ 03-2651831-7
✉ yangyang@cycu.edu.tw

